

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 2月20日

出願番号
Application Number:

特願2001-044078

[ST.10/C]:

[JP2001-044078]

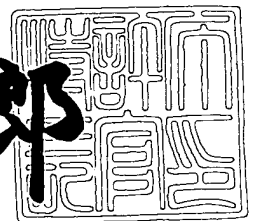
出願人
Applicant(s):

株式会社アドバンテスト

2003年 6月23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049313

【書類名】 特許願

【整理番号】 10014

【提出日】 平成13年 2月20日

【あて先】 特許庁長官 殿

【国際特許分類】 G05B

【発明の名称】 インターリーブAD変換方式波形ディジタル化装置

【請求項の数】 20

【発明者】

 【住所又は居所】 東京都練馬区旭町1丁目32番1号株式会社アドバンテ
 スト内

 【氏名】 浅見 幸司

【特許出願人】

 【識別番号】 390005175

 【氏名又は名称】 株式会社アドバンテスト

【代理人】

 【識別番号】 100104156

 【弁理士】

 【氏名又は名称】 龍華 明裕

 【電話番号】 (03)5366-7377

【手数料の表示】

 【予納台帳番号】 053394

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インターリーブ A/D 変換方式波形ディジタイザ装置

【特許請求の範囲】

【請求項 1】 電子デバイスから出力されるアナログ信号をディジタル信号に変換するディジタイザ装置であって、

前記電子デバイスから出力されるアナログ信号を、所定の時間間隔でディジタル信号に順次変換する A/D コンバータと、

前記 A/D コンバータが変換した前記ディジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するディジタルフィルタと、

前記 A/D コンバータが前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 A/D コンバータが前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた前記補正係数を、前記 A/D コンバータが変換した前記ディジタル信号のそれぞれに対して乗算した補正信号を出力するディジタルフィルタと
を備えることを特徴とするディジタイザ装置。

【請求項 2】 前記ディジタルフィルタは、前記補正係数を算出するためのインパルス応答関数が与えられ、

前記ディジタルフィルタは、前記理想サンプリングタイミングから、前記位相誤差だけ離れたタイミングに対応する前記インパルス応答関数の値である前記補正係数と、前記ディジタル信号の値とをたたみ込み演算して算出した前記補正信号を出力することを特徴とする請求項 1 に記載のディジタイザ装置。

【請求項 3】 電子デバイスから出力されるアナログ信号をディジタル信号に変換するディジタイザ装置であって、

前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでディジタル信号に順次変換する N (N は 2 以上の整数) 個の A/D コンバータと、

前記 N 個の A/D コンバータが出力する前記ディジタル信号のそれぞれに、それぞれ対応する前記 A/D コンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 N 個の A/D コンバータのそれぞれが

前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を出力する、前記N個のA/Dコンバータにそれぞれ対応したN個のデジタルフィルタとを備えることを特徴とするディジタイザ装置。

【請求項4】 前記N個のデジタルフィルタは、前記補正係数を算出するためのインパルス応答関数が格納された記憶部をそれぞれ有し、

前記N個のデジタルフィルタは、前記理想サンプリングタイミングから、それぞれ対応する前記A/Dコンバータの前記位相誤差だけ離れたタイミングに対応する前記インパルス応答関数の値である前記補正係数と、それぞれ対応する前記A/Dコンバータが変換した前記デジタル信号の値とをたたみ込み演算した前記補正信号をそれぞれ出力することを特徴とする請求項3に記載のディジタイザ装置。

【請求項5】 前記記憶部は、対応する前記A/Dコンバータのゲイン特性に基づいた、前記インパルス応答関数を格納することを特徴とする請求項4に記載のディジタイザ装置。

【請求項6】 前記記憶部は、対応する前記A/Dコンバータの周波数特性に基づいた、前記インパルス応答関数を格納することを特徴とする請求項4又は5に記載のディジタイザ装置。

【請求項7】 前記N個のデジタルフィルタは、それぞれの前記デジタルフィルタのインパルス応答関数において、それぞれ対応する前記A/Dコンバータの前記実サンプリングタイミングにおける値を、前記補正係数として格納する記憶部をそれぞれ有し、

前記N個のデジタルフィルタは、それぞれ対応する前記A/Dコンバータが変換した前記デジタル信号の値と、前記補正係数とをたたみ込み演算した前記補正信号をそれぞれ出力することを特徴とする請求項3に記載のディジタイザ装置。

【請求項8】 前記記憶部は、対応する前記A/Dコンバータのゲイン特性に基づいた、前記補正係数を格納することを特徴とする請求項7に記載のディジタイザ装置。

【請求項 9】 前記記憶部は、対応する前記 A/D コンバータの周波数特性に基づいた、前記補正係数を格納することを特徴とする請求項 7 又は 8 に記載のディジタイザ装置。

【請求項 10】 前記 N 個のディジタルフィルタがそれぞれ出力した前記補正信号を所定の順序に整列させたデータシーケンスを生成するインターリーブ部を更に備えることを特徴とする請求項 3 から 9 のいずれかに記載のディジタイザ装置。

【請求項 11】 複数の前記ディジタルフィルタがそれぞれ出力した前記補正信号の和を算出し、デシメーションデータを生成するデシメーションデータ生成部を更に備え、

前記 N 個のディジタルフィルタは、

それぞれ対応する前記 A/D コンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、それぞれ対応する前記 A/D コンバータが前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差と、

それぞれ対応する前記 A/D コンバータの前記理想サンプリングタイミングの、基準となる前記 A/D コンバータの前記理想サンプリングタイミングに対する位相差と

に基づいた前記補正係数を、それぞれ対応する前記 A/D コンバータが変換した前記ディジタル信号のそれぞれに対して乗算した前記補正信号を出力することを特徴とする請求項 3 に記載のディジタイザ装置。

【請求項 12】 前記 N 個のディジタルフィルタは、所定のインパルス応答関数をポリフェーズ分解し、前記位相誤差に基づいた係数を乗算した前記複数の補正係数を格納する記憶部を有し、

前記 N 個のディジタルフィルタは、前記複数の補正係数と前記ディジタル信号とをたたみ込み演算した前記補正信号を出力することを特徴とする請求項 11 に記載のディジタイザ装置。

【請求項 13】 前記 N 個のディジタルフィルタのそれぞれの前記記憶部は、対応する前記 A/D コンバータの前記理想サンプリングタイミングにおける、

前記インパルス応答関数の値に、前記位相誤差に基づいた係数を乗算した値を、前記複数の補正係数として格納することを特徴とする請求項 1 2 に記載のディジタイザ装置。

【請求項 1 4】 前記 N 個のディジタルフィルタのそれぞれの前記記憶部は、それぞれ対応する前記 A/D コンバータの前記理想サンプリングタイミングの位相と、基準となる A/D コンバータの前記理想サンプリングタイミングの位相との差だけ、前記インパルス応答関数を時間軸上で移動させた関数と、前記位相誤差とに基づいた前記補正係数を格納することを特徴とする請求項 1 3 に記載のディジタイザ装置。

【請求項 1 5】 電子デバイスから出力されるアナログ信号をディジタル信号に変換するディジタイザ装置であって、

前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでディジタル信号に順次変換する N (N は 2 以上の整数) 個の A/D コンバータと、

前記 N 個の A/D コンバータが変換したディジタル信号を、所定の順序に整列させた第 1 データシーケンスを生成し出力する第 1 インターリーブ部と、

前記第 1 インターリーブ部が出力した前記第 1 データシーケンスをそれぞれ受け取り、前記 N 個の A/D コンバータが前記アナログ信号をサンプリングするべき理想サンプリングタイミングと、前記 N 個の A/D コンバータが前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、前記第 1 データシーケンスとをたたみ込み演算し、前記第 1 データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力する N 個のディジタルフィルタと、

前記 N 個のディジタルフィルタが出力した前記デシメーションデータのデータを所定の順序に整列させた第 2 データシーケンスを生成する第 2 インターリーブ部と

を備えることを特徴とするディジタイザ装置。

【請求項 1 6】 前記 N 個のディジタルフィルタは、前記補正係数を算出するためのインパルス応答関数を格納する記憶部をそれぞれ有し、

前記N個のデジタルフィルタは、前記理想サンプリングタイミングから、それぞれ対応する前記A/Dコンバータの前記位相誤差だけ離れたタイミングに対応する前記インパルス応答関数の値と、それぞれ対応する前記A/Dコンバータが変換した前記デジタル信号の値とをたたみ込み演算した信号をそれぞれ出力することを特徴とする請求項15に記載のデジタイザ装置。

【請求項17】 電子デバイスを試験するための試験装置であって、
パターン信号及び期待値信号を発生するパターン発生部と、
前記パターン発生器が発生する前記パターン信号の波形を整形する波形整形器と、

前記電子デバイスが載置され、前記電子デバイスに前記波形整形器によって整形された前記パターン信号を供給し、前記電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、

前記電子デバイスから出力される前記アナログ信号をデジタル信号に変換するデジタイザ装置と、

前記パターン発生器から出力される前記期待値信号と、前記デジタイザ装置から出力される信号とに基づいて、前記電子デバイスの良否を判定する判定部とを備え、

前記デジタイザ装置は、

前記電子デバイスから出力されるアナログ信号を、所定の時間間隔でデジタル信号に順次変換するA/Dコンバータと、

前記A/Dコンバータが変換した前記デジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するデジタルフィルタとを有し、

前記デジタルフィルタは、前記A/Dコンバータが前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記A/Dコンバータが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた、前記補正係数を前記デジタル信号のそれぞれに対して乗算することを特徴とする試験装置。

【請求項18】 電子デバイスを試験するための試験装置であって、

パターン信号及び期待値信号を発生するパターン発生部と、
前記パターン発生器が発生する前記パターン信号の波形を整形する波形整形器と、

前記電子デバイスが載置され、前記電子デバイスに前記波形整形器によって整形された前記パターン信号を供給し、前記電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、

前記電子デバイスから出力される前記アナログ信号をディジタル信号に変換するディジタイザ装置と、

前記パターン発生器から出力される前記期待値信号と、前記ディジタイザ装置から出力される信号とに基づいて、前記電子デバイスの良否を判定する判定部とを備え、

前記ディジタイザ装置は、

前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでディジタル信号に順次変換する N (N は2以上の整数)個のA/Dコンバータと、

前記 N 個のA/Dコンバータが出力する前記ディジタル信号のそれぞれに、補正係数を乗算した補正信号を出力する、前記 N 個のA/Dコンバータにそれぞれ対応した N 個のディジタルフィルタと

を有し、

前記 N 個のディジタルフィルタは、それぞれ対応する前記A/Dコンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 N 個のA/Dコンバータのそれぞれが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた補正係数を、それぞれ対応する前記A/Dコンバータが変換した前記ディジタル信号のそれぞれに対して乗算することを特徴とする試験装置。

【請求項19】 前記ディジタイザ装置は、

複数の前記ディジタルフィルタがそれぞれ出力した前記補正信号の和を算出し、デシメーションデータを生成するデシメーションデータ生成部を更に有し、

前記 N 個のディジタルフィルタは、

それぞれ対応する前記 A/D コンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 N 個の A/D コンバータのそれぞれが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差と、

それぞれ対応する前記 A/D コンバータの前記理想サンプリングタイミングの、基準となる前記 A/D コンバータの前記理想サンプリングタイミングに対する位相差と

に基づいた前記補正係数を、それぞれ対応する前記 A/D コンバータが変換した前記デジタル信号のそれぞれに対して乗算した前記補正信号を出力することを特徴とする請求項 18 に記載の試験装置。

【請求項 20】 電子デバイスを試験するための試験装置であって、

パターン信号及び期待値信号を発生するパターン発生部と、

前記パターン発生器が発生する前記パターン信号の波形を整形する波形整形器と、

前記電子デバイスが載置され、前記電子デバイスに前記波形整形器によって整形された前記パターン信号を供給し、前記電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、

前記電子デバイスから出力される前記アナログ信号をデジタル信号に変換するディジタイザ装置と、

前記パターン発生器から出力される前記期待値信号と、前記ディジタイザ装置から出力される信号とに基づいて、前記電子デバイスの良否を判定する判定部とを備え、

前記ディジタイザ装置は、

前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換する N (N は 2 以上の整数) 個の A/D コンバータと、

前記 N 個の A/D コンバータが変換したデジタル信号を、所定の順序に整列させた第 1 データシーケンスを生成し出力する第 1 インターリーブ部と、

前記第 1 インターリーブ部が出力した前記第 1 データシーケンスをそれぞれ受

け取り、前記N個のA/Dコンバータが前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記N個のA/Dコンバータが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた補正係数と、前記第1データシーケンスとをたたみ込み演算し、前記第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力するN個のデジタルフィルタと、

前記N個のデジタルフィルタがそれぞれ出力した前記デシメーションデータのデータを所定の順序に整列させた第2データシーケンスを生成する第2インターリーブ部と

を有することを特徴とする試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、インターリーブAD変換方式の波形デジタルライザ装置に関する。特に、インターリーブAD変換時におけるサンプリングタイミングの位相誤差に伴う測定誤差を検出して補正する補正手段に関する。

【0002】

【従来の技術】

N相(way)のインターリーブAD変換方式の波形デジタルライザは、N個のA/Dコンバータを用いることで、見かけ上のサンプリングレートを高くすることが可能な技術であるが、一方でサンプリングするタイミングが正確であることが要求される。

【0003】

図7に、電子デバイスの試験装置に用いられる従来のデジタルライザ装置200の構成を示す。デジタルライザ装置200は、4個のA/Dコンバータ(ADC)110と、4個のクロック112と、インターリーブ部114と、デジタルフィルタ116とを備える。A/Dコンバータ110は、それぞれクロック112から与えられるタイミングに基づいて、電子デバイスが出力するアナログ信号をサンプリングし、デジタル信号に変換する。インターリーブ部114は、4個

のA/Dコンバータ110が変換したデジタル信号を、所定の順序に整列させたデータシーケンスを生成する。デジタルフィルタ116は、所定のインパルス応答関数に基づいて、インターリーブ部114が生成したデータシーケンスに補正係数を乗算する。デジタルフィルタ116は、データシーケンスに補正係数を乗算することにより、当該データシーケンスに含まれる所定の周波数成分を除去する。デジタルフィルタ116は、当該補正係数を乗算したデータシーケンスを、試験装置の判定部に出力する。当該判定部は、補正係数が乗算されたデータシーケンスに基づいて、当該電子デバイスの良否を判定する。

【0004】

4個のA/Dコンバータは、それぞれのサンプリングタイミングが等位相間隔となるように、位相調整されなければならない。それぞれのA/Dコンバータのサンプリングタイミングが、位相誤差を有する場合においても、インターリーブ部114及びデジタルフィルタ116は、A/Dコンバータから出力されるデジタルデータを、等間隔でサンプリングされたデータとして処理を行うため、デジタルフィルタ116が出力するデータシーケンスは、電子デバイスが出力したアナログ信号に対して誤差を有する。そのため、判定部は、電子デバイスの良否を精度よく判定することができない。

【0005】

【発明が解決しようとする課題】

上述したように従来技術においては、複数のA/Dコンバータ間におけるサンプリングタイミングの位相間隔を一定となるように調整していた。一方、A/Dコンバータのサンプリング特性は、A/Dコンバータ素子自身の部品ばらつきや、環境温度、経時変化、電源電圧変動により、目的とする等間隔でのサンプリングに変動を来す。また、等位相間隔のサンプリングタイミングとなるように、複数のA/Dコンバータにクロックを供給することは、非常に困難であった。これら要因に伴って、理想状態のサンプリングタイミングからの変動を生じてくることになる。このことは、より精度よく電子デバイスが出力するアナログ信号を再現することを困難とし、そのため精度よく電子デバイスの良否を判定することを困難としていた。

【0006】

そこで、本発明が解決しようとする課題は、複数の複数のA/Dコンバータ間におけるサンプリング位相のずれを補正し、アナログ信号を精度よく再現できるAD変換方式ディジタイザ装置及び半導体試験装置を提供することを目的とする。この目的は、特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0007】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の形態においては、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置であって、電子デバイスから出力されるアナログ信号を、所定の時間間隔でデジタル信号に順次変換するA/Dコンバータと、A/Dコンバータが変換したデジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するデジタルフィルタと、A/Dコンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、A/Dコンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を、A/Dコンバータが変換したデジタル信号のそれぞれに対して乗算した補正信号を出力するデジタルフィルタとを備えることを特徴とするディジタイザ装置を提供する。

【0008】

本発明の第1の形態において、デジタルフィルタは、補正係数を算出するためのインパルス応答関数が与えられ、デジタルフィルタは、理想サンプリングタイミングから、位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、デジタル信号の値とをたたみ込み演算して算出した補正信号を出力してよい。

【0009】

本発明の第2の形態においては、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置であって、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/D

コンバータが出力するデジタル信号のそれぞれに、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータのそれぞれがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を出力する、N個のA/Dコンバータにそれぞれ対応したN個のデジタルフィルタとを備えることを特徴とするディジタル装置を提供する。

【0010】

本発明の第2の形態において、N個のディジタルフィルタは、補正係数を算出するためのインパルス応答関数が格納された記憶部をそれぞれ有し、N個のディジタルフィルタは、理想サンプリングタイミングから、それぞれ対応するA/Dコンバータの位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、それぞれ対応するA/Dコンバータが変換したデジタル信号の値とをたたみ込み演算した補正信号をそれぞれ出力してよい。また、記憶部は、対応するA/Dコンバータのゲイン特性に基づいた、インパルス応答関数を格納してよい。また、記憶部は、対応するA/Dコンバータの周波数特性に基づいた、インパルス応答関数を格納してよい。

【0011】

また、N個のディジタルフィルタは、それぞれのディジタルフィルタのインパルス応答関数において、それぞれ対応するA/Dコンバータの実サンプリングタイミングにおける値を、補正係数として格納する記憶部をそれぞれ有し、N個のディジタルフィルタは、それぞれ対応するA/Dコンバータが変換したデジタル信号の値と、補正係数とをたたみ込み演算した補正信号をそれぞれ出力してよい。また、記憶部は、対応するA/Dコンバータのゲイン特性に基づいた、補正係数を格納してよい。また、記憶部は、対応するA/Dコンバータの周波数特性に基づいた、補正係数を格納してよい。

【0012】

また、N個のディジタルフィルタがそれぞれ出力した補正信号を所定の順序に整列させたデータシーケンスを生成するインターリーブ部を更に備えてよい。また、複数のディジタルフィルタがそれぞれ出力した補正信号の和を算出し、デシ

メーションデータを生成するデシメーションデータ生成部を更に備え、N個のデジタルフィルタは、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、それぞれ対応するA/Dコンバータのそれぞれがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差と、それぞれ対応するA/Dコンバータの理想サンプリングタイミングの、基準となるA/Dコンバータの理想サンプリングタイミングに対する位相差とに基づいた補正係数を、それぞれ対応するA/Dコンバータが変換したデジタル信号のそれぞれに対して乗算した補正信号を出力してよい。

【 0 0 1 3 】

また、N個のデジタルフィルタは、所定のインパルス応答関数をポリフェーズ分解し、位相誤差に基づいた係数を乗算した複数の補正係数を格納する記憶部を有し、N個のデジタルフィルタは、複数の補正係数とデジタル信号とをたたみ込み演算した補正信号を出力してよい。また、N個のデジタルフィルタのそれぞれの記憶部は、対応するA/Dコンバータの理想サンプリングタイミングにおける、インパルス応答関数の値に、位相誤差に基づいた係数を乗算した値を、複数の補正係数として格納してよい。また、N個のデジタルフィルタのそれぞれの記憶部は、それぞれ対応するA/Dコンバータの理想サンプリングタイミングの位相と、基準となるA/Dコンバータの理想サンプリングタイミングの位相との差だけ、インパルス応答関数を時間軸上で移動させた関数と、位相誤差とに基づいた補正係数を格納してよい。

【 0 0 1 4 】

本発明の第3の形態においては、電子デバイスから出力されるアナログ信号をデジタル信号に変換するデジタイザ装置であって、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/Dコンバータが変換したデジタル信号を、所定の順序に整列させた第1データシーケンスを生成し出力する第1インターリーブ部と、第1インターリーブ部が出力した第1データシーケンスをそれぞれ受け取り、N個のA/Dコンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/D

Dコンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、第1データシーケンスとをたたみ込み演算し、第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力するN個のデジタルフィルタと、N個のデジタルフィルタが出力したデシメーションデータのデータを所定の順序に整列させた第2データシーケンスを生成する第2インターリーブ部とを備えることを特徴とするディジタイザ装置を提供する。

【0015】

本発明の第3の形態において、N個のデジタルフィルタは、補正係数を算出するためのインパルス応答関数を格納する記憶部をそれぞれ有し、N個のデジタルフィルタは、理想サンプリングタイミングから、それぞれ対応するA/Dコンバータの位相誤差だけ離れたタイミングに対応するインパルス応答関数の値と、それぞれ対応するA/Dコンバータが変換したデジタル信号の値とをたたみ込み演算した信号をそれぞれ出力してよい。

【0016】

本発明の第4の形態においては、電子デバイスを試験するための試験装置であって、パターン信号及び期待値信号を発生するパターン発生部と、パターン発生器が発生するパターン信号の波形を整形する波形整形器と、電子デバイスが載置され、電子デバイスに波形整形器によって整形されたパターン信号を供給し、電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置と、パターン発生器から出力される期待値信号と、ディジタイザ装置から出力される信号とに基づいて、電子デバイスの良否を判定する判定部とを備え、ディジタイザ装置は、電子デバイスから出力されるアナログ信号を、所定の時間間隔でデジタル信号に順次変換するA/Dコンバータと、A/Dコンバータが変換したデジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するデジタルフィルタとを有し、デジタルフィルタは、A/Dコンバータがアナログ信号をサンプリングするべき理想サンプリングタイミングと、A/Dコンバータがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差

に基づいた、補正係数をデジタル信号のそれぞれに対して乗算することを特徴とする試験装置を提供する。

【 0 0 1 7 】

本発明の第5の形態においては、電子デバイスを試験するための試験装置であって、パターン信号及び期待値信号を発生するパターン発生部と、パターン発生器が発生するパターン信号の波形を整形する波形整形器と、電子デバイスが載置され、電子デバイスに波形整形器によって整形されたパターン信号を供給し、電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置と、パターン発生器から出力される期待値信号と、ディジタイザ装置から出力される信号とに基づいて、電子デバイスの良否を判定する判定部とを備え、ディジタイザ装置は、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/Dコンバータが出力するデジタル信号のそれぞれに、補正係数を乗算した補正信号を出力する、N個のA/Dコンバータにそれぞれ対応したN個のデジタルフィルタとを有し、N個のデジタルフィルタは、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータのそれぞれがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた補正係数を、それぞれ対応するA/Dコンバータが変換したデジタル信号のそれぞれに対して乗算することを特徴とする試験装置を提供する。

【 0 0 1 8 】

ディジタイザ装置は、複数のデジタルフィルタがそれぞれ出力した補正信号の和を算出し、デシメーションデータを生成するデシメーションデータ生成部を更に有し、N個のデジタルフィルタは、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータのそれぞれがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差と、それぞれ対応するA/Dコンバータの理想サンプリングタイミングの、基準となるA/Dコンバータの理想サンプリングタイミングに

対する位相差とに基づいた補正係数を、それぞれ対応するA/Dコンバータが変換したデジタル信号のそれぞれに対して乗算した補正信号を出力してよい。

【0019】

本発明の第6の形態においては、電子デバイスを試験するための試験装置であって、パターン信号及び期待値信号を発生するパターン発生部と、パターン発生器が発生するパターン信号の波形を整形する波形整形器と、電子デバイスが載置され、電子デバイスに波形整形器によって整形されたパターン信号を供給し、電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置と、パターン発生器から出力される期待値信号と、ディジタイザ装置から出力される信号とに基づいて、電子デバイスの良否を判定する判定部とを備え、ディジタイザ装置は、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/Dコンバータが変換したデジタル信号を、所定の順序に整列させた第1データシーケンスを生成し出力する第1インターリーブ部と、第1インターリーブ部が出力した第1データシーケンスをそれぞれ受け取り、N個のA/Dコンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、第1データシーケンスとをたたみ込み演算し、第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力するN個のデジタルフィルタと、N個のデジタルフィルタがそれぞれ出力したデシメーションデータのデータを所定の順序に整列させた第2データシーケンスを生成する第2インターリーブ部とを有することを特徴とする試験装置を提供する。

【0020】

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

【0021】

【発明の実施の形態】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0022】

図1は、本発明に係る試験装置100の構成の一例を示す。試験装置100は、パターン発生器10、波形整形器20、デバイス接触部30、ディジタイザ装置50、判定部40を備える。試験されるべき電子デバイス60は、デバイス接触部30に載置される。パターン発生器10は、電子デバイス60に供給する入力信号を生成する。当該入力信号は、波形整形器20に供給される。波形整形器20は、電子デバイス60の特性に応じて、入力信号の波形を整形する。整形された入力信号は、デバイス接触部30を介して、電子デバイス60に供給される。電子デバイス60は、入力された入力信号に基づいて、アナログ信号をデバイス接触部30を介して、ディジタイザ装置50に出力する。ディジタイザ装置50は、受け取ったアナログ信号をデジタル信号に変換して、判定部40に供給する。判定部40は、デジタル信号に基づいて電子デバイス60の良否を判定する。パターン発生器10は、発生する入力信号に基づいて、期待値信号を生成し、判定部40は、パターン発生器10が生成した期待値信号と、ディジタイザ装置50から受け取った、デジタル信号を比較して、電子デバイス60の良否を判定してよい。

【0023】

図2は、本発明に係るディジタイザ装置50の構成の一例を示す。ディジタイザ装置50は、N個（Nは整数）のA/Dコンバータ（ADC）52、A/Dコンバータにそれぞれ対応したデジタルフィルタ56、それぞれのA/Dコンバータのサンプリングタイミングを与えるクロック54、インターリーブ部58を備える。本例において、ディジタイザ装置50は、4個のA/Dコンバータを備える。

【0024】

N個のA/Dコンバータ52は、電子デバイス60から出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換する

。N個のA/Dコンバータ52は、それぞれ実質的に同一の周波数(f_s)でアナログ信号をサンプリングする。本例において、A/Dコンバータ52a、A/Dコンバータ52b、A/Dコンバータ52c、及びA/Dコンバータ52dは、順にアナログ信号をサンプリングする。つまり、等位相間隔でサンプリングすることにより、4個のA/Dコンバータ52によるサンプリング周波数は $4f_s$ となる。しかし、4個のA/Dコンバータ52で順にサンプリングするため、サンプリングタイミングは、等位相間隔とならない場合がある。等位相間隔に並んだ理想的なサンプリングタイミングと、N個のA/Dコンバータ52によってサンプリングするサンプリングタイミングとは、位相誤差を有する。本例において、A/Dコンバータ52aのサンプリングタイミングを基準とした場合、理想的には、A/Dコンバータ52b、A/Dコンバータ52c、及びA/Dコンバータ52dは、A/Dコンバータ52aの各回のサンプリングタイミングの間でそれぞれが等位相間隔でサンプリングすることが望ましいが、実際には、A/Dコンバータ52b、A/Dコンバータ52c、及びA/Dコンバータ52dのサンプリングタイミングは、それぞれ理想サンプリングタイミングから位相誤差を生じる場合がある。

【0025】

ディジタルフィルタ56は、当該位相誤差を補正する補正係数を、それぞれ対応するA/Dコンバータ52が出力したディジタル信号に乗算する。つまり、N個のディジタルフィルタ56は、N個のA/Dコンバータ52が出力するディジタル信号のそれぞれに、それぞれ対応するA/Dコンバータ52が、アナログ信号をサンプリングするべき理想サンプリングタイミングと、N個のA/Dコンバータ52のそれぞれが、実際にアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を、インターリーブ部に出力する。ディジタルフィルタ56は、例えば有限インパルス応答(FIR)フィルタであってよい。また、ディジタルフィルタ56は、直線位相型の有限インパルス応答フィルタであることが好ましく、任意に特性を変えることのできるフィルタであることが好ましい。

【0026】

インターリーブ部 5 8 は、N 個のデジタルフィルタ 5 6 がそれぞれ出力した補正信号を所定の順序に整列させたデータシーケンスを生成する。つまり、インターリーブ部 5 8 は、それぞれの補正信号のデータ系列の順序を崩さずに、それぞれの補正信号のデータを所定の順序に整列させたデータシーケンスを生成する。

【 0 0 2 7 】

また、N 個のデジタルフィルタ 5 6 は、補正係数を算出するためのインパルス応答関数が格納された記憶部をそれぞれ有してよい。この場合、N 個のデジタルフィルタ 5 6 は、それぞれ対応する A/D コンバータの理想サンプリングタイミングから、それぞれ対応する A/D コンバータの位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、それぞれ対応する A/D コンバータ 5 2 が変換したデジタル信号の値とをたたみ込み演算した補正信号をそれぞれ出力することが好ましい。以下、デジタルフィルタ 5 6 における、補正信号の算出方法の一例について説明する。

【 0 0 2 8 】

図 3 は、デジタルフィルタ 5 6 の記憶部に格納されるインパルス応答関数の波形、及び A/D コンバータ 5 2 のサンプリングタイミングを示す。図 3 において、横軸は時間を表し、インパルス応答関数段における縦軸は、デジタルフィルタ 5 6 のゲインを表す。本例においては、図 2 に示すように、A/D コンバータ 5 6 が 4 個であって、それぞれのデジタルフィルタ 5 6 のインパルス応答関数は同一であるとして説明する。理想サンプリングタイミング段は、4 個の A/D コンバータ 5 6 が電子デバイス 6 0 から出力されたアナログ信号をサンプリングすべき理想サンプリングを示す。また、5 2 a のサンプリングタイミング段は、図 2 における A/D コンバータ 5 2 a が実際にアナログ信号をサンプリングする実サンプリングタイミングを示し、5 2 b のサンプリングタイミング段は、図 2 における A/D コンバータ 5 2 b が実際にアナログ信号をサンプリングする実サンプリングタイミングを示し、5 2 c のサンプリングタイミング段は、図 2 における A/D コンバータ 5 2 c が実際にアナログ信号をサンプリングする実サンプリングタイミングを示し、5 2 d のサンプリングタイミング段は、図 2 にお

けるA/Dコンバータ52dが実際にアナログ信号をサンプリングする実サンプリングタイミングを示す。

【0029】

前述したように、N個のA/Dコンバータ52が実際にアナログ信号をサンプリングする実サンプリングタイミングは、理想サンプリングタイミングに対して、位相誤差を有する場合がある。本例においては、A/Dコンバータ52aのサンプリングタイミングを基準とした場合に、A/Dコンバータ52b、A/Dコンバータ52c、A/Dコンバータ52dの実サンプリングタイミングは、理想サンプリングタイミングに対して、それぞれ τ_1 、 τ_2 、 τ_3 の位相誤差を有する。ディジタルフィルタ56は、理想サンプリングタイミングから、それぞれ対応するA/Dコンバータ52の位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、それぞれ対応するA/Dコンバータ52が変換したディジタル信号の値とをたたみ込み演算した補正信号を出力する。つまり、ディジタルフィルタ56は、それぞれ対応するA/Dコンバータ52が出力するディジタル信号と、それぞれ対応するA/Dコンバータ52の実サンプリングタイミングにおける、インパルス応答関数の値とをたたみ込み演算した、補正信号を出力する。それぞれのA/Dコンバータにおける位相誤差は、予め与えられていることが好ましい。それぞれのA/Dコンバータにおける位相誤差は、例えば、所定のアナログ信号をサンプリングしたサンプリング結果に基づいて、容易に算出することができる。以下ディジタルフィルタ56における、たたみ込み演算について説明する。

【0030】

A/Dコンバータ52が出力するディジタル信号のデータ列を $x(n)$ 、A/Dコンバータ52の実サンプリングタイミングにおける、対応するディジタルフィルタ56のインパルス応答関数の値を $h(n)$ とした場合に、ディジタルフィルタ56が出力する補正信号 $y(n)$ は下式で与えられる。この場合、データ列 $x(n)$ 及び $h(n)$ に含まれるデータ数は同数であってよい。

【数 1】

$$y(n) = \sum_{m=0}^{N-1} x(m)h(n-m)$$

ただし、Nはh(n)に含まれるデータ数である。また、A/Dコンバータ52が出力し、デジタルフィルタ56に入力されるデジタル信号のデータ列x(n)に含まれるデータ数は、A/Dコンバータ52のサンプリング周波数f_s及びインパルス応答関数に基づいて定められることが好ましい。以上説明したディジタル化装置によれば、A/Dコンバータ52の実サンプリングタイミングにおける位相誤差に基づいた補正係数を用いて、デジタルフィルタ56において補正演算を行うことにより、位相誤差を補正した補正信号を生成でき、電子デバイス60が出力したアナログ信号を精度よく再現することができる。また、本発明に係る試験装置100によれば、精度よく電子デバイス60の良否を判定することができる。また、本例においては、A/Dコンバータ52を4個有するディジタル化装置50について説明したが、A/Dコンバータ52をN個有するディジタル化装置においても、同様の処理により、位相誤差を補正した補正信号を生成し、アナログ信号を精度よく再現できることは明らかである。

【0031】

本例において、N個のデジタルフィルタ56のそれぞれの記憶部は、同一のインパルス応答関数を格納していたが、他の例においては、それぞれの記憶部は、対応するA/Dコンバータ52のゲイン特性に基づいた、インパルス応答関数を格納してよい。つまり、N個のA/Dコンバータのそれぞれのゲイン特性の差を補正するようなインパルス応答関数を格納することが好ましい。また、N個のデジタルフィルタ56のそれぞれの記憶部は、対応するA/Dコンバータ52の周波数特性に基づいた、インパルス応答関数を格納してよい。つまり、対応するA/Dコンバータ52における周波数毎のゲイン特性の差を補正するようなインパルス応答関数を格納することが好ましい。

【0032】

また、本例においては、N個のデジタルフィルタの記憶部は、それぞれイン

パルス応答関数を格納したが、他の例においては、N個のデジタルフィルタの記憶部は、インパルス応答関数に基づいて算出した補正係数を格納してよい。例えば、上述した処理により算出した補正係数のテーブルを格納してよい。また、予め、複数の位相誤差又は実サンプリングタイミングに対応する補正係数のテーブルを格納してよい。つまり、N個のデジタルフィルタ56は、それぞれのデジタルフィルタ56が有すべき特性を示すインパルス応答関数において、それぞれ対応するA/Dコンバータ52の実サンプリングタイミングにおける値を、補正係数として格納する記憶部を有してよい。当該記憶部は、複数の実サンプリングタイミングに対応する補正係数のテーブルを格納することが好ましい。この場合、N個のデジタルフィルタ56は、それぞれ対応するA/Dコンバータ52が変換したデジタル信号の値と、位相誤差又は実サンプリングタイミングに基づいて選択した補正係数のテーブルとをたたみ込み演算した補正信号を出力する。

【0033】

また、記憶部が補正係数のテーブルを格納する場合であっても、記憶部がインパルス応答関数を格納する場合と同様に、記憶部は、対応するA/Dコンバータ52のゲイン特性に基づいた、補正係数を格納することが好ましい。また、記憶部は、対応するA/Dコンバータ52の周波数特性に基づいた、補正係数を格納することが好ましい。

【0034】

図4は、本発明に係るディジタル化装置50の構成の他の例を示す。図4において、図2と同一の符号を付した物は、図2及び図3に関連して説明したものと同一又は同様の機能及び構成を有してよい。本例において、ディジタル化装置50は、4個のA/Dコンバータ52と、A/Dコンバータ52にそれぞれタイミングを供給するクロック54と、A/Dコンバータ52にそれぞれ対応したデジタルフィルタ56と、デシメーションデータ生成部62とを有する。A/Dコンバータ52及びクロック54は、図2及び図3に関連して説明したA/Dコンバータ52及びクロック54と同一又は同様の機能及び構成を有する。

【0035】

ディジタルフィルタ 56 は、それぞれ対応する A/D コンバータ 52 が、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、それぞれ対応する A/D コンバータ 52 がアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差と、それぞれ対応する A/D コンバータ 52 の理想サンプリングタイミングの、基準となる A/D コンバータ 52 の理想サンプリングタイミングに対する位相差とに基づいた補正係数を、それぞれ対応する A/D コンバータ 52 が変換したディジタル信号のそれぞれに対して乗算した補正信号を出力する。つまり、ディジタルフィルタ 56 は、それぞれ対応する A/D コンバータ 52 におけるディジタル信号を、それぞれ対応する A/D コンバータ 52 における位相誤差を補正し、且つ異なるサンプリングタイミングでサンプリングした信号に変換した補正信号を出力する。例えば、A/D コンバータ 52 a がアナログ信号をサンプリングすべき理想サンプリングタイミングを、 T_1 、 T_5 、 T_9 、・・・とし、A/D コンバータ 52 b がアナログ信号をサンプリングすべき理想タイミングを、 T_2 、 T_6 、 T_{10} 、・・・とした場合に、ディジタルフィルタ 56 b は、A/D コンバータ 52 b が T_2 、 T_6 、 T_{10} 、・・・のタイミングでサンプリングしたディジタル信号を、 T_1 、 T_5 、 T_9 、・・・のタイミングでサンプリングしたディジタル信号に位相変換し、且つ A/D コンバータ 52 b における理想サンプリングタイミングに対する移送誤差を補正する。

【0036】

デシメーションデータ生成部 62 は、ディジタルフィルタ 56 がそれぞれ出力した補正信号の和を算出し、デシメーションデータを生成する。つまり、ディジタルフィルタ 56 が位相変換した補正信号の和を算出することにより、N 個の A/D コンバータ 52 が実際にサンプリングしたサンプリング周波数より低い周波数でサンプリングしたディジタル信号に等価なデシメーションデータを生成し、判定部 40 に出力する。以下、ディジタルフィルタ 56 及びデシメーションデータ生成部 62 の動作について説明する。

【0037】

図 5 は、ディジタルフィルタ 56 のそれぞれのインパルス応答関数の一例を示す。4 個の A/D コンバータ 52 は、理想的には図 5 に示すように等時間 (ΔT

）毎に4個のA/Dコンバータ52が順にアナログ信号をサンプリングする。しかし、4個のA/Dコンバータ52が実際にアナログ信号をサンプリングする実サンプリングタイミングと、理想サンプリングタイミングとは、位相誤差を有する場合がある。本例においては、A/Dコンバータ52aがサンプリングする実サンプリングタイミングを基準として、A/Dコンバータ52b、A/Dコンバータ52c、A/Dコンバータ52dは、それぞれ理想サンプリングタイミングに対して、位相誤差 τ_1 、 τ_2 、 τ_3 を有する。

【0038】

4個のA/Dコンバータ52にそれぞれ対応する4個のデジタルフィルタ56は、それぞれインパルス応答関数が与えられ、インパルス応答関数に基づいて、それぞれ対応するA/Dコンバータ52が出力するデジタル信号を補正する。4個のデジタルフィルタ56のそれぞれには、それぞれ対応するA/Dコンバータ52の理想サンプリングタイミングの位相と、基準となるA/Dコンバータ52の理想サンプリングタイミングの位相との差だけ、インパルス応答関数を時間軸上で移動させた関数が与えられる。本例において、4個のデジタルフィルタ56は、それぞれ対応するA/Dコンバータ52の理想サンプリングタイミングの、A/Dコンバータ52aの理想サンプリングタイミングに対する位相差だけ、A/Dコンバータ52aのインパルス応答関数を時間軸上で負の方向に移動させた、インパルス応答関数が与えられる。それぞれのデジタルフィルタ56は、対応するA/Dコンバータ52の理想サンプリングタイミングおける、与えられたインパルス応答関数の値と対応するA/Dコンバータ52が出力したデジタル信号とをたたみ込み演算する。

【0039】

本例においては、デジタルフィルタ56aは、図5に示すように、理想サンプリングタイミングにおけるインパルス応答関数の値である、 P_n 、 P_{n+4} 、 \dots とデジタル信号とをたたみ込み演算する。ここで、 P_n 、 P_{n+4} 、 \dots は、 $4\Delta T$ 毎のインパルス応答関数の値である。同様に、デジタルフィルタ56bは、理想サンプリングタイミングにおける、インパルス応答関数の値である、 P_{n-3} 、 P_{n+1} 、 \dots とデジタル信号とをたたみ込み演算する。

ディジタルフィルタ 5 6 c 及びディジタルフィルタ 5 6 d も同様に、理想サンプリングタイミングにおけるインパルス応答関数の値とディジタル信号とをたたみ込み演算する。

【 0 0 4 0 】

それぞれのディジタルフィルタ 5 6 は、たたみ込み演算した算出結果に、それぞれ対応する A/D コンバータの位相誤差に基づく係数を乗算する。A/D コンバータ 5 2 b、A/D コンバータ 5 2 c、A/D コンバータ 5 2 d における位相誤差をそれぞれ τ_1 、 τ_2 、 τ_3 とした場合、ディジタルフィルタ 5 6 b は、たたみ込み演算した結果に $e^{(j\omega\tau_1)}$ を乗算し、ディジタルフィルタ 5 6 c は、たたみ込み演算した結果に $e^{(j\omega\tau_2)}$ を乗算し、ディジタルフィルタ 5 6 d は、たたみ込み演算した結果に $e^{(j\omega\tau_3)}$ を乗算し、位相誤差を補正した補正信号を出力する。

【 0 0 4 1 】

理想サンプリングタイミングの位相差だけ時間軸上で移動したインパルス応答関数が、それぞれのディジタルフィルタ 5 6 に与えられることにより、それぞれ対応する A/D コンバータ 5 2 がサンプリングしたディジタル信号を、基準となる A/D コンバータ 5 2 の理想サンプリングタイミングでサンプリングしたディジタル信号に位相変換することができる。本例においては、ディジタルフィルタ 5 6 が、対応する A/D コンバータ 5 2 がサンプリングしたディジタル信号を、A/D コンバータ 5 2 a の理想サンプリングタイミングでサンプリングしたディジタル信号に位相変換している。デシメーションデータ生成部 6 2 は、ディジタルフィルタ 5 6 が出力する、位相変換したディジタル信号である補正信号の和を算出し、4 個の A/D コンバータ 5 2 がインターリーブサンプリングすることにより、 $4f_s$ の周波数でサンプリングしたディジタル信号を、 f_s の周波数でサンプリングしたディジタル信号に変換し、且つそれぞれの A/D コンバータ 5 2 における位相誤差を補正することができる。

【 0 0 4 2 】

本例においては、一つの A/D コンバータ 5 2 基準として、他の A/D コンバータ 5 2 がサンプリングしたディジタル信号を位相変換していたが、他の例にお

いては、複数の A/D コンバータ 5 2 を基準として、他の A/D コンバータ 5 2 がサンプリングしたデジタル信号を位相変換してよい。例えば、A/D コンバータ 5 2 a 及び A/D コンバータ 5 2 c を基準として、A/D コンバータ 5 2 b が出力するデジタル信号を、A/D コンバータ 5 2 a の理想サンプリングタイミングにおけるデジタル信号に位相変換し、A/D コンバータ 5 2 d が出力するデジタル信号を、A/D コンバータ 5 2 c の理想サンプリングタイミングにおけるデジタル信号に位相変換してよい。この場合、4 個の A/D コンバータ 5 2 がサンプリング周波数 $4 f_s$ でサンプリングしたデジタル信号を、サンプリング周波数 $2 f_s$ でサンプリングしたデジタル信号に変換することができる。また、本例においては、4 個の A/D コンバータ 5 2 を有するディジタル化装置 5 0 について説明したが、N 個の A/D コンバータ 5 2 を有するディジタル化装置 5 0 においても、同様の処理を行うことにより、N 個の A/D コンバータ 5 2 がサンプリング周波数 $N f_s$ でサンプリングしたデジタル信号を、一つの A/D コンバータ 5 2 がサンプリングするサンプリング周波数 f_s の任意の整数倍のデジタル信号に変換することができる。つまり、本発明に係るディジタル化装置 5 0 によれば、電子デバイス 6 0 が出力するアナログ信号を、任意の周波数でサンプリングすることのでき、且つそれぞれの A/D コンバータ 5 2 における位相誤差を補正することのできるマルチレートディジタル化装置を実現できる。

【 0 0 4 3 】

また、本例におけるディジタルフィルタ 5 6 は、図 2 及び図 3 に関連して説明したディジタルフィルタ 5 6 と同様に、対応する A/D コンバータ 5 2 のゲイン特性及び／又は周波数特性に基づいたインパルス応答関数が与えられてよい。また、ディジタルフィルタ 5 6 は、インパルス応答関数を記憶する記憶部を有してよい。また、ディジタルフィルタ 5 6 は、インパルス応答関数に基づいた補正係数のテーブルを予め記憶する記憶部を有してよい。つまり、N 個のディジタルフィルタ 5 6 のそれぞれの記憶部は、対応する A/D コンバータ 5 2 の理想サンプリングタイミングにおける、インパルス応答関数の値に、位相誤算に基づいた係数を乗算した値を、複数の補正係数として格納してよい。

【 0 0 4 4 】

例えば、N個のデジタルフィルタ56は、所定のインパルス応答関数をポリフェーズ分解し、対応するA/Dコンバータ52の位相誤差に基づいた計数を乗算した補正係数を格納する記憶部を有してよい。例えば、デジタル化装置50が4個のデジタルフィルタ56を有する場合、それぞれのデジタルフィルタ56には、所定のインパルス応答関数 $K(z)$ を分割数4でポリフェーズ分解し、ポリフェーズ分解したインパルス応答を、対応するA/Dコンバータ52の理想サンプリングタイミングに基づいた位相だけ時間軸上で移動したインパルス応答が与えられる。デジタルフィルタ56a、56b、56c、及び56dに与えられるインパルス応答を E_0 、 E_1 、 E_2 、 E_3 とした場合、それぞれのインパルス応答を構成する値は、図5を例とすると $E_0 = (P_n, P_{n+4}, \dots)$ 、 $E_1 = (P_{n-3}, P_{n+1}, \dots)$ 、 $E_2 = (P_{n-2}, P_{n+2}, \dots)$ 、 $E_3 = (P_{n-1}, P_{n+3}, \dots)$ である。

【0045】

それぞれのデジタルフィルタ56は、与えられたインパルス応答の値に、対応するA/Dコンバータ52における位相誤差に基づく係数を乗算した値と、対応するA/Dコンバータ52が出力したデジタル信号とをたたみ込み演算した補正信号を出力する。つまり、A/Dコンバータ52aの理想サンプリングタイミングを基準とした場合、デジタルフィルタ56aは、インパルス応答 E_0 とデジタル信号とをたたみ込み演算し、デジタルフィルタ56bは、インパルス応答 E_1 に $e^{j\omega\tau_1}$ を乗算した補正係数とデジタル信号とをたたみ込み演算し、デジタルフィルタ56cは、インパルス応答 E_2 に $e^{j\omega\tau_2}$ を乗算した補正係数とデジタル信号とをたたみ込み演算し、デジタルフィルタ56dは、インパルス応答 E_3 に $e^{j\omega\tau_3}$ を乗算した補正係数とデジタル信号とをたたみ込み演算した補正信号をそれぞれ出力する。一例として、4個のデジタルフィルタ56におけるインパルス応答の伝達関数 $H(z)$ は、下式で与えられる。

【数2】

$$H(z) = E_0(z^4) + e^{j\omega\tau_1} E_1(z^4) z^{-1} + e^{j\omega\tau_2} E_2(z^4) z^{-2} + e^{j\omega\tau_3} E_3(z^4) z^{-3}$$

【0046】

図6は、本発明に係るディジタル化装置50の構成の他の例を示す。ディジタル化装置50は、N個のA/Dコンバータ52、N個のクロック54、N個のディジタルフィルタ56、第1インターリーブ部64、及び第2インターリーブ部66を有する。図6に示すA/Dコンバータ52及びクロック54は、図2及び図3に関連して説明したA/Dコンバータ52及びクロック54と同一又は同様の機能及び構成を有する。また、図6に示すディジタルフィルタ56は、図4及び図5に関連して説明したディジタルフィルタ56と同一又は同様の機能及び構成を有する。

【0047】

第1インターリーブ部64は、N個のA/Dコンバータ52が変換したディジタル信号を、所定の順序に整列させた第1データシーケンスを生成し、出力する。ディジタルフィルタ56は、第1インターリーブ部が出力した第1データシーケンスをそれぞれ受け取り、N個のA/Dコンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、第1データシーケンスとをたたみ込み演算し、第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力する。ディジタルフィルタ56は、図4に関連して説明したデシメーションデータ生成部を有してよい。ディジタルフィルタ56は、図4及び図5に関連して説明した処理と同一又は同様の処理で、当該デシメーションデータを生成する。第2インターリーブ部66は、N個のディジタルフィルタ56が出力したデシメーションデータのデータを、所定の順序に整列させた第2データシーケンスを生成する。

【0048】

例えば、A/Dコンバータ52がそれぞれディジタル信号のデータ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ を出力した場合、第1インターリーブ部64は、データ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ のデータを、それぞれのデータ列の順序を崩さずに、所定の順序に整列させた第1データシーケンス $y(4n)$ を生成する。データ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$

)、 $x_d(n)$ のそれぞれのデータ数を n とすると、第 1 データシーケンス $y(4n)$ のデータ数は $4n$ である。デジタルフィルタ 56 はそれぞれ第 1 データシーケンス $y(4n)$ を受け取り、 $4n$ より少ないデータ数のデシメーションデータ $z_a(m)$ 、 $z_b(m)$ 、 $z_c(m)$ 、 $z_d(m)$ を生成する。デジタルフィルタ 56 は、図 4 及び図 5 に関連して説明したように、受け取ったデータ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ を、それぞれ対応する A/D コンバータの理想サンプリングタイミングでサンプリングした場合のデータ列に位相変換したデシメーションデータ $z_a(m)$ 、 $z_b(m)$ 、 $z_c(m)$ 、 $z_d(m)$ を生成する。第 2 インターリーブ部 66 は、デシメーションデータ $z_a(m)$ 、 $z_b(m)$ 、 $z_c(m)$ 、 $z_d(m)$ のデータを所定の順序に整列させた第 2 データシーケンスを生成する。

【0049】

例えば、データ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ のそれぞれのデータ数を 1 とした場合、第 1 データシーケンスのデータ数は 4 である。デジタルフィルタ 56 は、それぞれデータ数 4 の第 1 データシーケンスを受け取り、データ数 1 のデシメーションデータを生成し、出力してよい。この場合、第 2 インターリーブ部 66 は、データ数が 4 の第 2 データシーケンスを生成する。このように、本例におけるディジタル化装置 50 によれば、デジタルフィルタ 56 におけるたたみ込み演算によってサンプリングレートの低下が生じる場合であっても、2 個のインターリーブ部を備えることにより、実質的にサンプリングレートの低下を防ぐことができ、且つ A/D コンバータ 52 における位相誤差を補正することができる。本例においては、ディジタル化装置 50 は 4 個の A/D コンバータを有していたが、他の例においては、 N 個の A/D コンバータを有するディジタル化装置 50 であっても、同様にサンプリングレートの低下を防ぎ、且つ位相誤差を補正することができる。

【0050】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改

良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【 0 0 5 1 】

【発明の効果】

上述説明から明らかなように、本発明に係るディジタイザ装置 5 0 によれば、A/Dコンバータ 5 2 における位相誤差を補正し、電子デバイス 6 0 が出力したアナログ信号を精度よくディジタル信号に変換することができる。また、本発明に係る試験装置 1 0 0 によれば、電子デバイス 6 0 が出力したアナログ信号を精度よくディジタル信号に変換することができ、精度よく電子デバイス 6 0 の良否を判定することができる。また、アナログ信号をサンプリングするサンプリング周波数を容易に変更することができる。

【図面の簡単な説明】

【図 1】 本発明に係る試験装置 1 0 0 の構成の一例を示す。

【図 2】 本発明に係るディジタイザ装置 5 0 の構成の一例を示す。

【図 3】 デジタルフィルタ 5 6 の記憶部に格納されるインパルス応答関数の波形、及び A/Dコンバータ 5 2 のサンプリングタイミングを示す。

【図 4】 本発明に係るディジタイザ装置 5 0 の構成の他の例を示す。

【図 5】 デジタルフィルタ 5 6 のそれぞれのインパルス応答関数の一例を示す。

【図 6】 本発明に係るディジタイザ装置 5 0 の構成の他の例を示す。

【図 7】 従来のディジタイザ装置 2 0 0 の構成を示す。

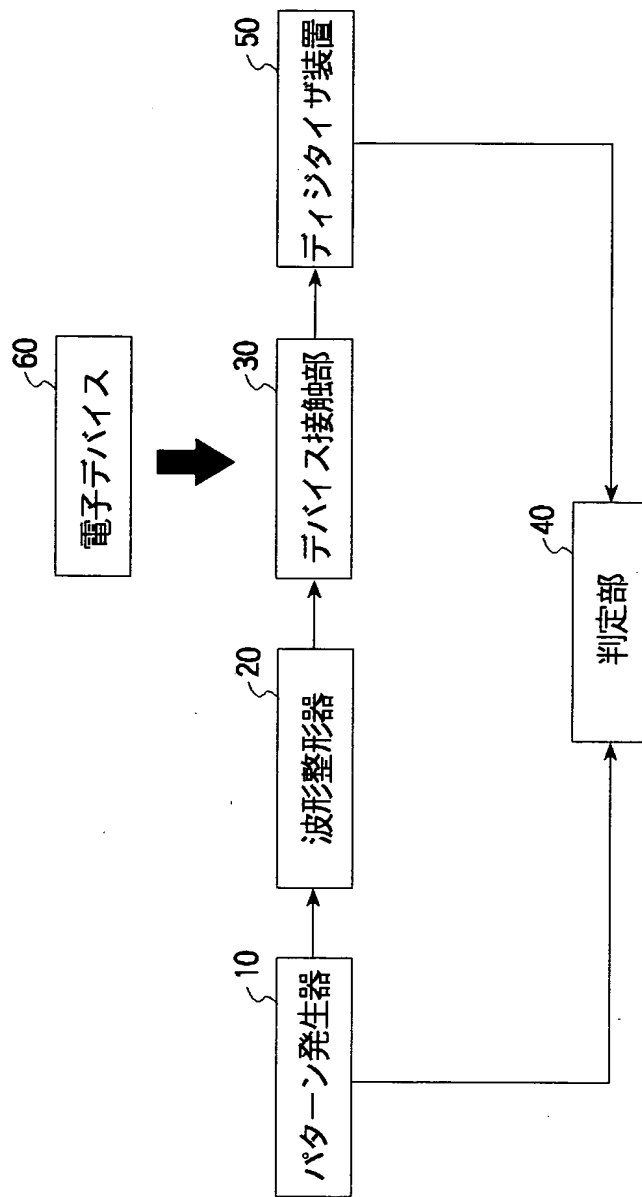
【符号の説明】

1 0 . . . パターン発生器、 2 0 . . . 波形整形器、 3 0 . . . デバイス接触部、 4 0 . . . 判定部、 5 0 . . . ディジタイザ装置、 5 2 . . . A/Dコンバータ
5 4 . . . クロック、 5 6 . . . デジタルフィルタ、 5 8 . . . インターリーブ部、 6 0 . . . 電子デバイス、 6 2 . . . デシメーションデータ生成部、 6 4 . . . 第 1 インターリーブ部、 6 6 . . . 第 2 インターリーブ部、 1 0 0 . . . 試験装置

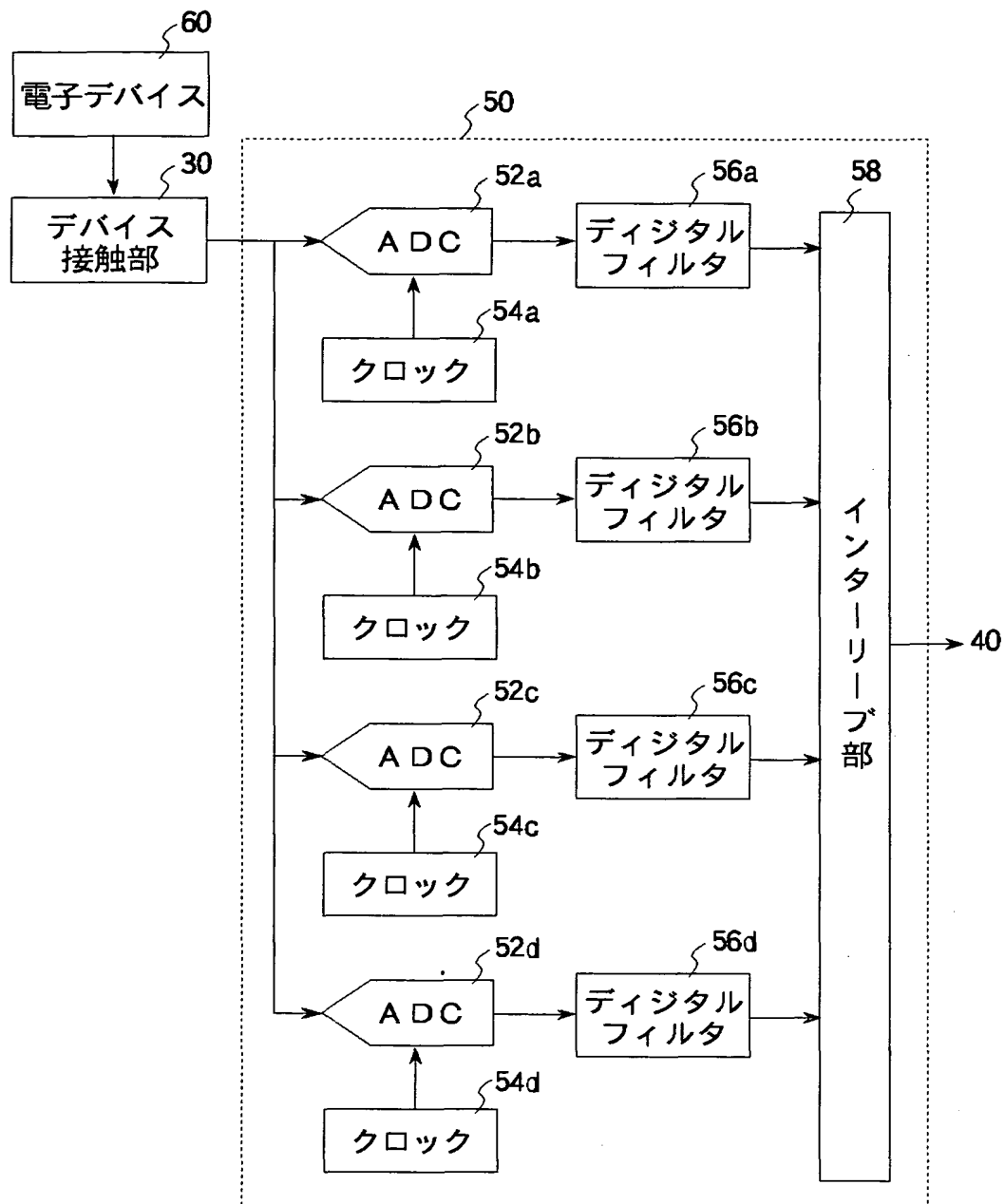
【書類名】 図面

【図 1】

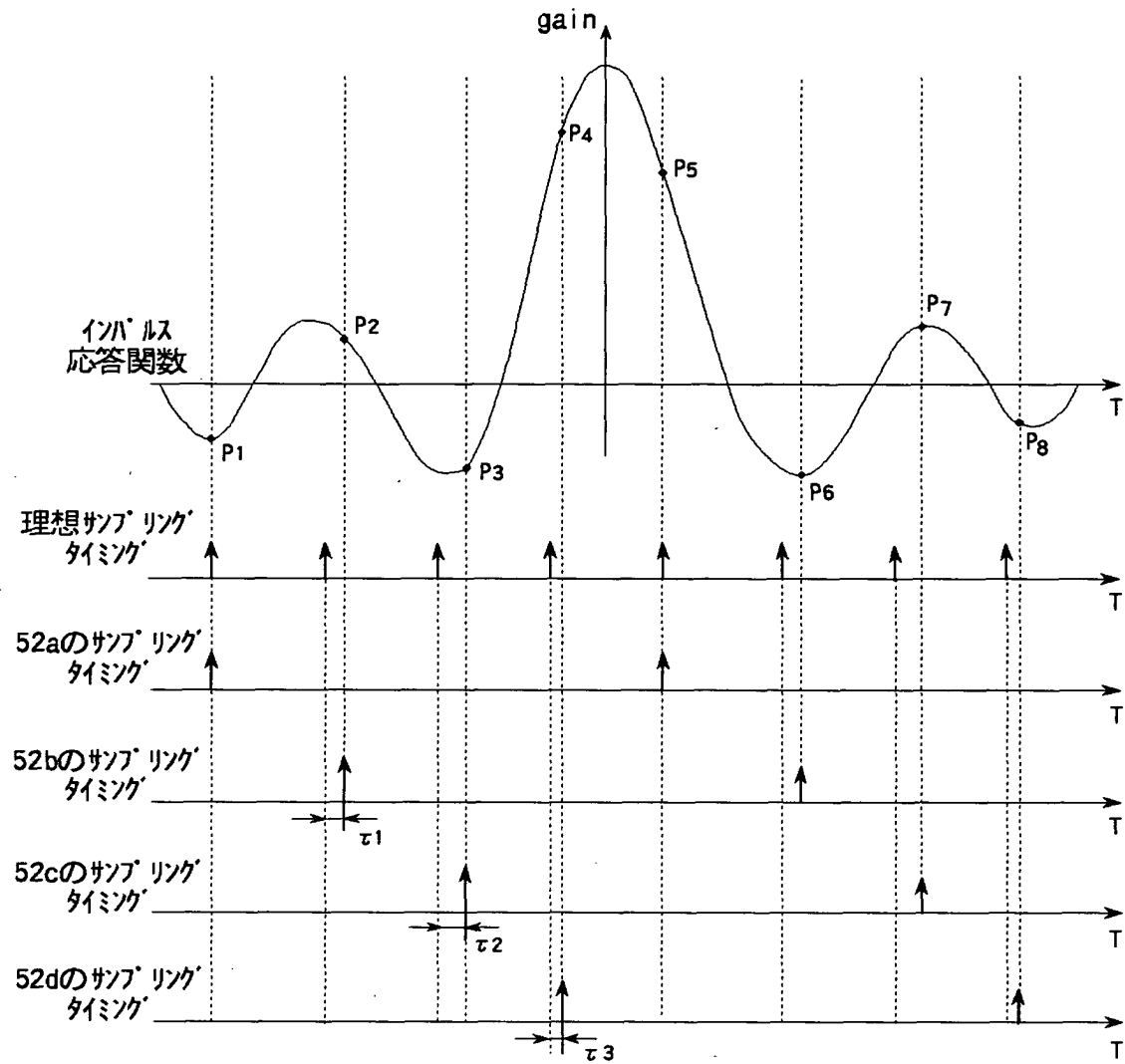
100



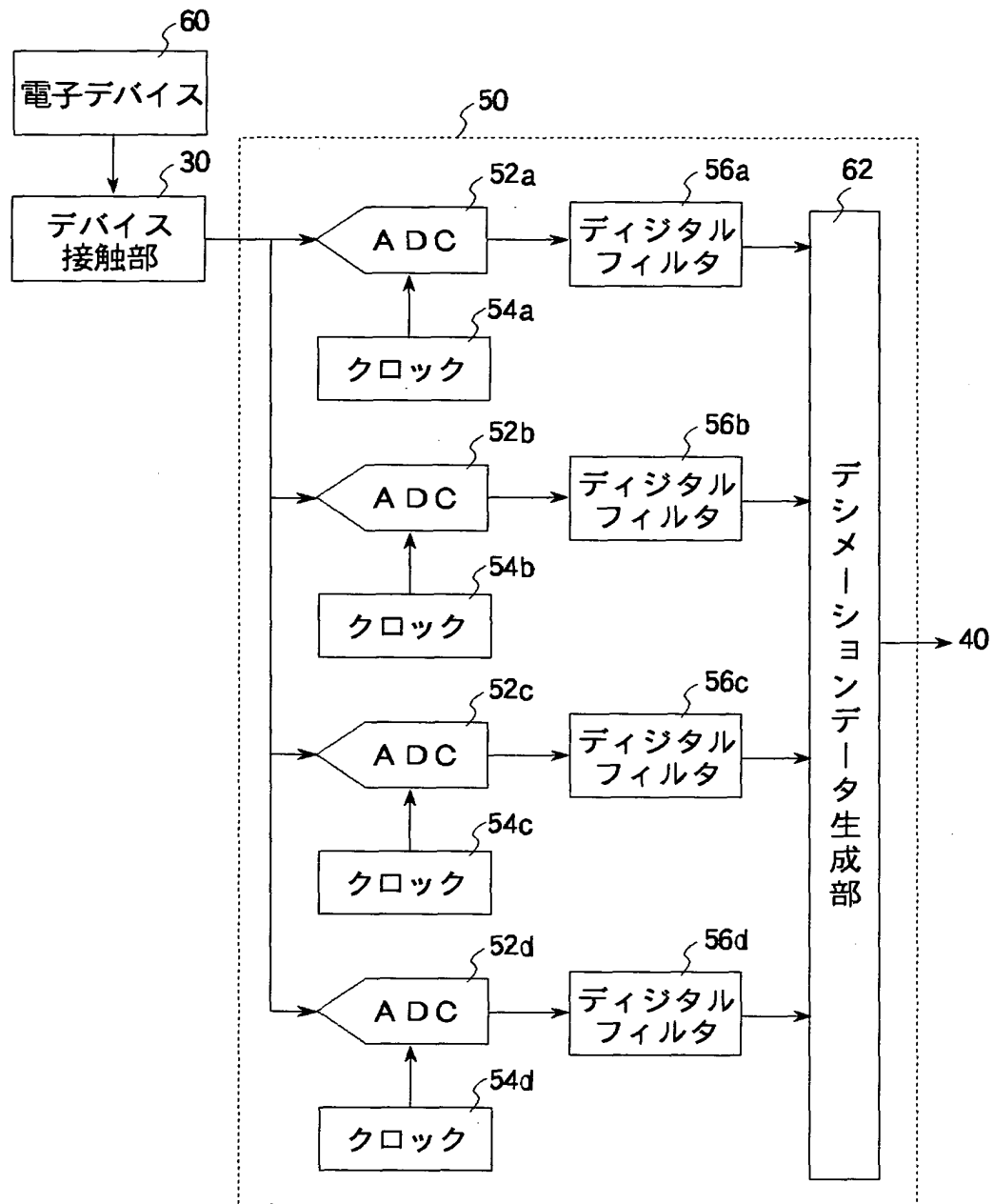
【図 2】



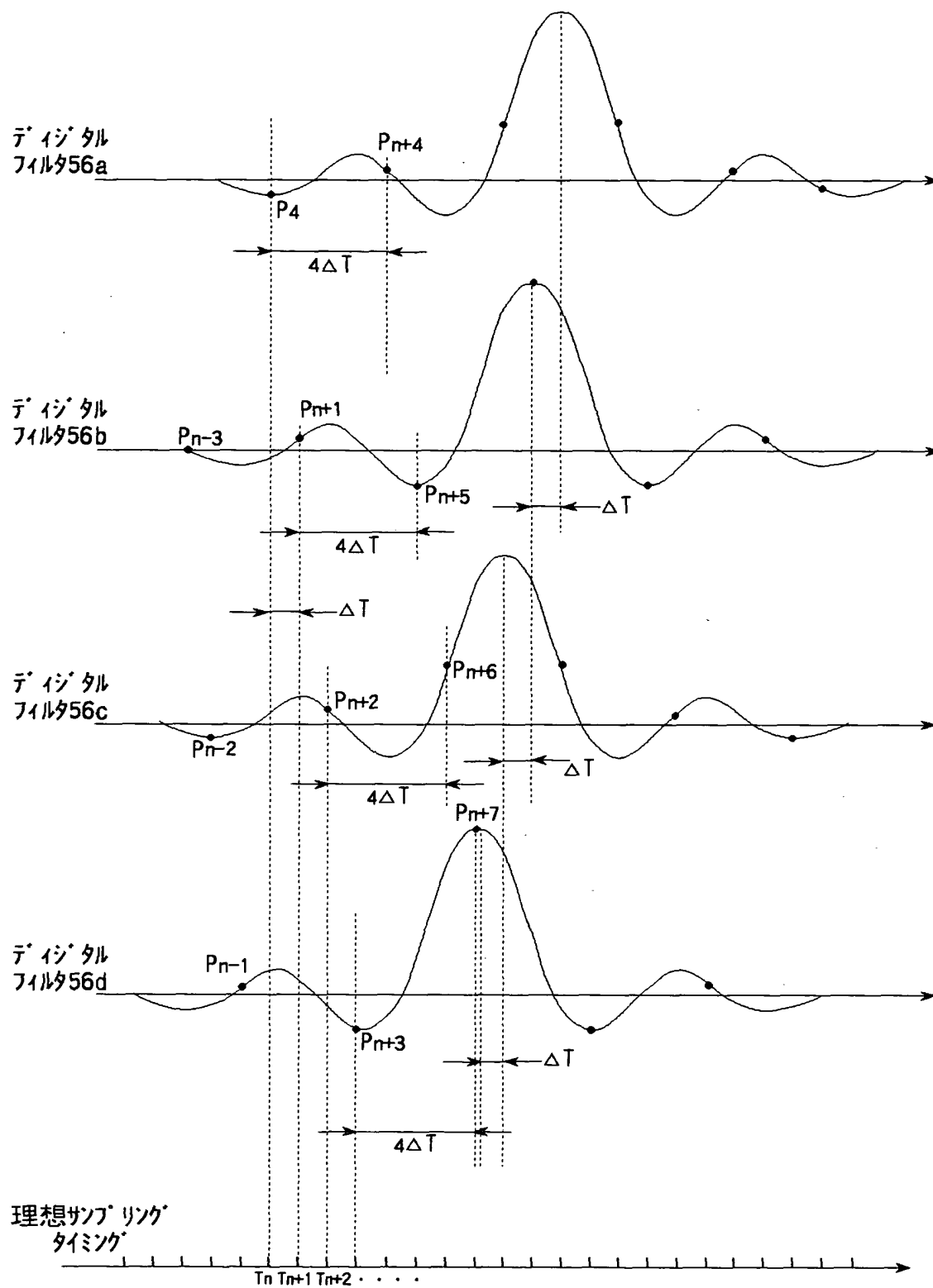
【図 3】



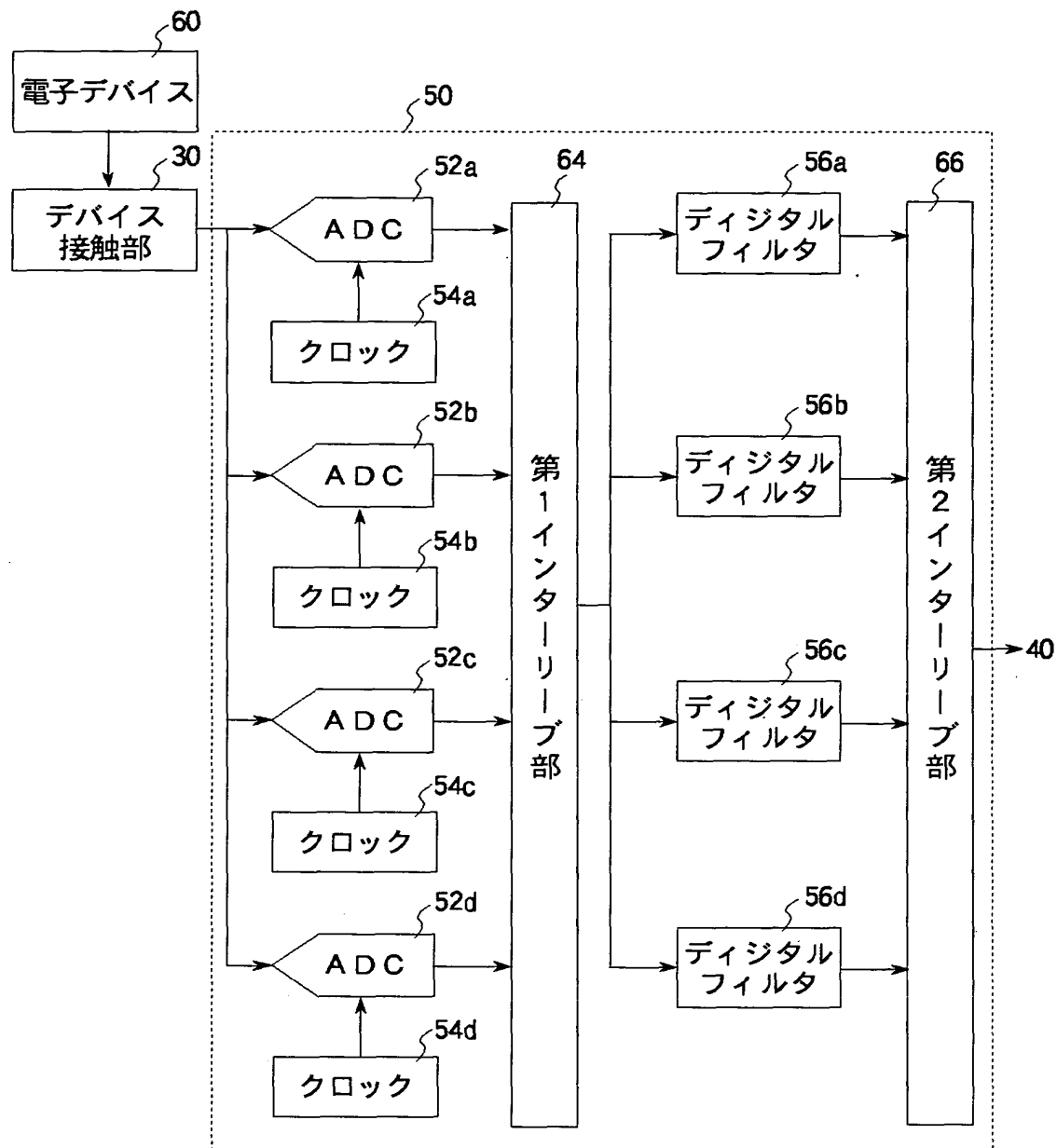
【図 4】



【図 5】

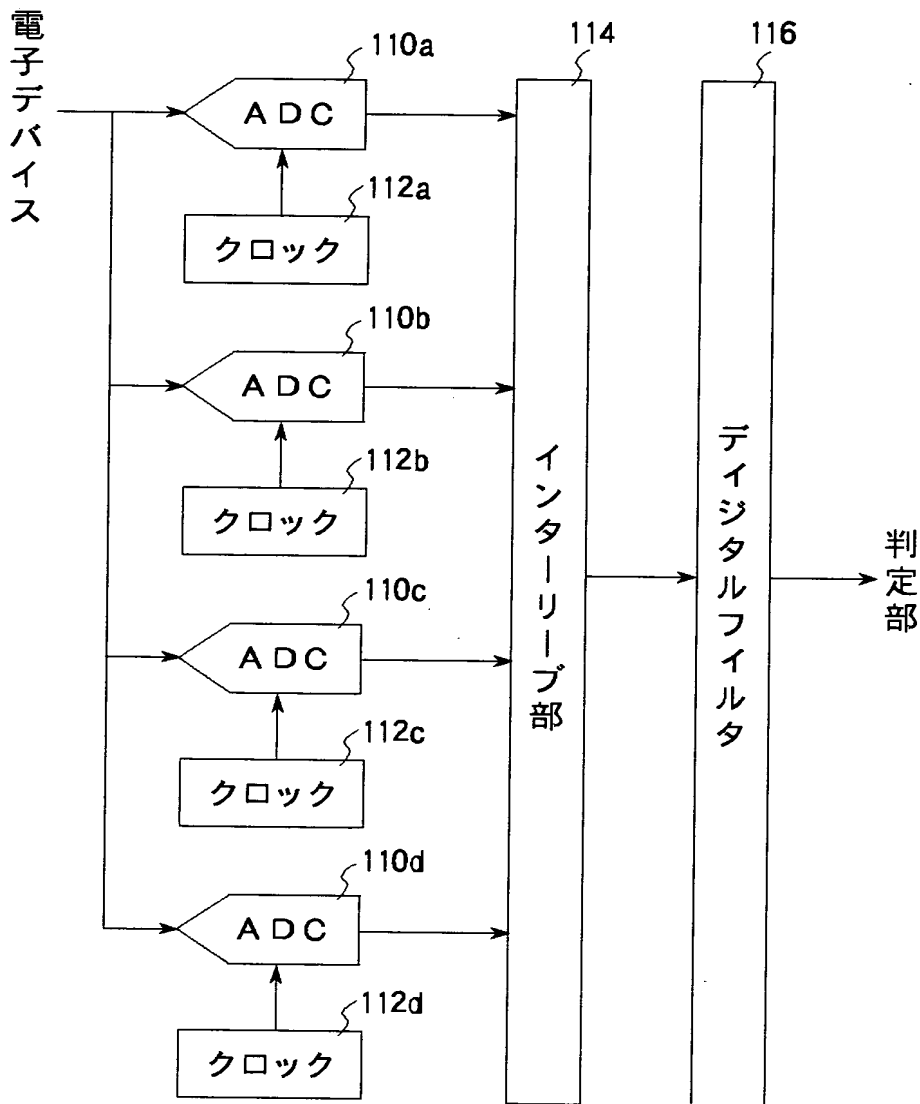


【図 6】



【図 7】

200



【書類名】 要約書

【要約】

【課題】 複数のA/Dコンバータ間におけるサンプリング位相誤差の補正が可能なインターリーブA/D変換方式波形デジタイザ装置を提供する。

【解決手段】 電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/Dコンバータが出力するデジタル信号のそれぞれに、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータのそれぞれがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を出力する、N個のA/Dコンバータにそれぞれ対応したN個のデジタルフィルタとを備えることを特徴とするデジタイザ装置を提供する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [390005175]

1. 変更年月日 1990年10月15日
[変更理由] 新規登録
住 所 東京都練馬区旭町1丁目32番1号
氏 名 株式会社アドバンテスト